

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

T S3/5/1

3/5/1

DIALOG(R)File 351:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

011397280 \*\*Image available\*\*

WPI Acc No: 1997-375187/199735

XRPX Acc No: N97-311481

Method digitally deriving output clock signal from source clock signal -  
 defines set of j divide by terms using partial fraction expansion of  
 source clock signal frequency divided by desired output clock signal  
 frequency, first divide by term is n

Patent Assignee: HEWLETT-PACKARD CO (HEWP )

Inventor: PUCKETTE R B E

Number of Countries: 004 Number of Patents: 002

Patent Family:

| Patent No  | Kind | Date     | Applicat No | Kind | Date     | Week     |
|------------|------|----------|-------------|------|----------|----------|
| EP 786868  | A1   | 19970730 | EP 97300484 | A    | 19970127 | 199735 B |
| JP 9232944 | A    | 19970905 | JP 96337814 | A    | 19961218 | 199746   |

Priority Applications (No Type Date): US 96593599 A 19960129

Cited Patents: EP 431629; US 4658406; US 5287296

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

EP 786868 A1 E 11 H03K-005/156

Designated States (Regional): DE FR GB

JP 9232944 A 7 H03K-023/00

Abstract (Basic): EP 786868 A

The method defines a set of j divide by terms using a partial  
 fraction expansion of the source clock signal frequency divided by a  
 desired output clock signal frequency. The first divide by term is n. A  
 pattern for dithering the output clock signal period is defined as a  
 function of the j divide by terms.

To define a pattern divides the source clock signal frequency in a  
 serial chain of frequency division circuitry stages (22). Each stage  
 performs frequency division using a divide factor defined by a  
 corresponding j divide by term. Any one stage in the serial chain other  
 than the last has the divide factor altered in response to a count out  
 of an immediately successive stage.

USE - Relates to methods and apparatus of digital frequency  
 division and to deriving arbitrary output frequency from input  
 frequency.

ADVANTAGE - Method achieves output clock signal frequency which is  
 not evenly divided into source clock signal.

Dwg.1/7

Title Terms: METHOD; DIGITAL; DERIVATIVE; OUTPUT; CLOCK; SIGNAL; SOURCE;  
 CLOCK; SIGNAL; DEFINE; SET; DIVIDE; TERM; FRACTION; EXPAND; SOURCE; CLOCK  
 ; SIGNAL; FREQUENCY; DIVIDE; OUTPUT; CLOCK; SIGNAL; FREQUENCY; FIRST;  
 DIVIDE; TERM; N

Derwent Class: T01; U21; U22

International Patent Class (Main): H03K-005/156; H03K-023/00

International Patent Class (Additional): G06F-007/62; H03K-023/66;

H03K-023/68

File Segment: EPI

?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-232944

(43) 公開日 平成9年(1997)9月5日

(51) Int.Cl.<sup>6</sup>  
H 0 3 K 23/00

識別記号 庁内整理番号

F I  
H 0 3 K 23/00

技術表示箇所

Z

審査請求 未請求 請求項の数 1 O L (全 7 頁)

(21) 出願番号 特願平8-337814

(22) 出願日 平成8年(1996)12月18日

(31) 優先権主張番号 593, 599

(32) 優先日 1996年1月29日

(33) 優先権主張国 米国 (US)

(71) 出願人 590000400

ヒューレット・パカード・カンパニー  
アメリカ合衆国カリフォルニア州パロアル  
ト ハノーバー・ストリート 3000

(72) 発明者 ロバート・ビー・イー・パケット  
アメリカ合衆国オレゴン州コーヴァリス,  
ノース・ウエスト 31 エスティー スト  
リート 221

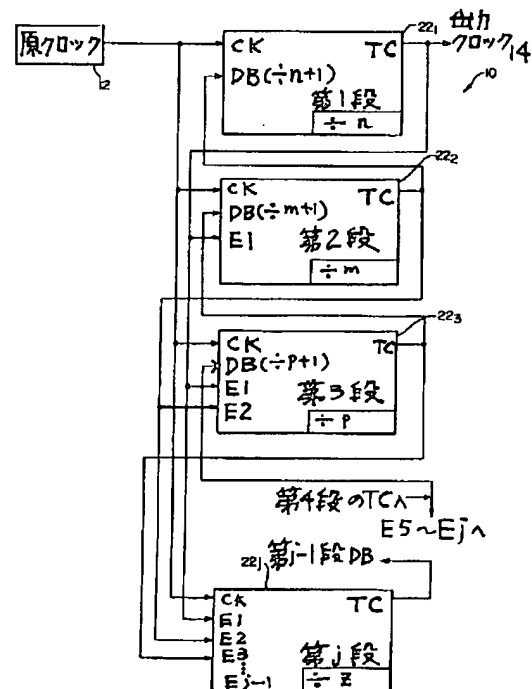
(74) 代理人 弁理士 上野 英夫

(54) 【発明の名称】 デジタル分周方法とデジタル分周装置

(57) 【要約】

【課題】 固定原クロックから該原クロックの周波数を割切らない周波数を有する出力クロック信号周波数をデジタル分周で得る。

【解決手段】 所望の出力クロック信号周波数で除した原クロック信号周波数を部分分数展開して、組をなす  $j$  個の除数項を決定するステップと、 $j$  個の除数項の関数として出力クロック信号周期にディザを施すためのパターンを決定するステップが含まれる。



## 【特許請求の範囲】

【請求項1】 固定周波数を備える原クロック信号から、可変数の原クロック信号周期によって決定される周期を有する出力クロック信号をデジタル方式で導き出す方法において、  
所望の出力クロック信号周波数で除した原クロック信号周波数を部分分数展開して、組をなす $j$ 個の除数項を決定するステップと、  
 $j$ 個の除数項の関数として出力クロック信号周期にディザを施すためのパターンを決定するステップが含まれる、  
デジタル分周方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、一般に、デジタル分周の方法及び装置に関するものであり、とりわけ、入力周波数から任意の出力周波数を導き出すことに関するものである。

## 【0002】

【従来の技術】デジタル計算システムには、一般に、異なるクロック周波数で動作する回路が含まれている。それ自体の個別信号源（例えば、個別水晶発振器）から各信号を発生するのではなく、できるだけ少ない基準信号源からさまざまなクロック信号を導き出すことが望ましい。例えば、所定のコンピュータまたはコンピュータ内の各デジタル計算ボード（例えば、メイン・プロセッサ・ボード、グラフィックス・ボード、ビデオ・ボード）のために、単一水晶発振器を設けることが可能である。次に、所定の水晶発振器の基準クロック周波数を用いて、それらボードまたはコンピュータにおいて必要とされるさまざまなクロック信号の全てが導き出される。しかし、出力周波数を原クロック周波数で均等に割切ることができない場合、原クロック信号から出力クロック信号を導き出す際に問題が生じる。

【0003】40MHzの水晶発振器による原クロック信号から正確な14.31818MHzの出力クロック信号を導き出す例について考察する。アナログ技法を用いる場合、出力クロック信号周波数を得るために、アナログ位相ロック・ループが利用される。しかし、デジタル・コンピュータにおける電力要件を緩和し、アナログ装置を制限するためには、デジタル技法が望ましい。デジタル分周方法で、40MHzの信号を分周したい場合、40MHz信号の分周には、所定数の基準クロック信号周期を出力クロック周期とみなすことが必要になる。従って、2で割る演算では、2つの40MHzクロック周期がひとまとめにして出力クロック信号周期とみなされる（すなわち、周期を2倍にすると周波数が1/2（20MHz）に等しくなる）。2分周は、簡単に実施される。しかし、任意の出力周波数を得ることは困難である。例えば、従来のデジタル分周方法を利用して

「 $\pi$ 」で割ることは実施不能である。

## 【0004】

【発明が解決しようとする課題】従って、本発明の目的は、原クロック信号から任意の周波数の出力信号を得るための方法及び装置を提供することにある。とりわけ、本発明の目的は、原クロック信号を割切れない出力クロック信号周波数をデジタル技法を用いて得るための方法及び装置を提供することにある。

## 【0005】

【課題を解決するための手段】本発明によれば、出力クロック信号は、原クロック信号の対応する最も近い遷移を出力クロック信号遷移とみなすことによって、原クロック信号から導き出される。長期にわたって、原クロック周波数を割切らない平均出力クロック周波数を得られる。40MHzの原クロック周波数を $\pi$ で割った平均出力周波数を得る例について考察する。出力信号のいくつかのクロック・サイクルにたいして、対応する最も近い原クロック遷移は、原クロックの3周期毎である（例えば、 $\pi=3.14\dots$ で割る代わりに、3で割る）。しかし、対応する最も近い原クロック遷移が、時々、4番目の原クロック周期になることもある。従って、出力クロック信号周波数は、原クロック信号を3で割ったものである場合が最も多いが、4で割ったものである場合もある。この例の場合、3つで1組の原クロック周期の7組毎に、出力クロック信号遷移が、第3の周期ではなく、第4の周期であるとみなされる。しかし、「 $\pi$ 」を所望の除数項とすると、パターンは、3つで1組の原クロック周期の7組毎に繰り返されることにはならない。パターンは、3つで1組の原クロック周期の7組毎に繰り返される場合が最も多い。ただし、最も近い遷移が、3つで1組の7番目の組の代わりに、3つで1組の8番目の組を待つ場合もある。

【0006】本発明のある態様によれば、任意の出力周波数が、原クロック周波数の部分分数展開によって原クロック周波数からデジタル方式で導き出される。第1のステップにおいて、所望の周波数除算の整数部が第1の項として用いられる（例えば、40MHzを $\pi$ で割る場合、まず整数部として3が生じ、第1の小数部が0.14...になる）。後続の項を見つけるため、小数部の逆数がとられ、その整数部が次の項とみなされる（例えば、 $1/0.14\dots=7.06\dots$ 、従って、7が次の項）。小数部の逆数は、所定の精度要件に関して望むだけの数の後続項について実施される。40MHzを $\pi$ で割る例の場合、最初の3つの項は、3、7、及び16である。この例の場合、導出を3つの項にまで展開するだけで、エラーが10億出力信号クロック・サイクル毎に100未満の割合になる。

【0007】本発明の別の態様によれば、部分分数展開の項によって、除数項が決定される。一般に、出力周波数の遷移は、 $n$ が第1の項である場合、 $n$ 番目の原クロ

ック信号周期毎に発生する。第2の項が「m」の場合、n個で1組の原クロック信号周期のm組毎に、出力周波数の遷移が、n+1番目の原クロック信号周期において発生する。第3の項が「p」の場合、代わりに、m組から成る1組のp組毎に、n個で1組の周期のm+1組だけ待機してから、n+1番目の原クロック信号周期において出力クロックの遷移を生じる。こうした調整は、j個の項のそれぞれに続行される。上述の例の場合、j=3である。

【0008】本発明のさらに別の態様によれば、連鎖をなすディバイダまたはプログラマブル・ディバイダによって、原クロック信号の分周が行われて、任意の出力クロック周波数がデジタル方式で導き出される。ディバイダの1つは、第1の項によって割るようにセットされる（例えば、 $40/\pi$ の例の場合は3）。次のディバイダは、第2の項によって割るようにセットされる（例えば、 $40/\pi$ の例の場合は7）。次のディバイダは、第3の項によって割るようにセットされる（例えば、 $40/\pi$ の例の場合は16）。j=3の場合、それで連鎖が完成する。他の例の場合、ディバイダの連鎖は、それ以上の項についても続行される（例えば、j>3）。ディバイダ連鎖の結果は、ディザを施すことによって、長期にわたって所望の周波数（例えば、固定原クロック信号周波数を割切ることができない任意の周波数）になるように平均されたある周期を有する出力クロック信号である。

【0009】本発明の利点は、原クロック周波数を正確に割切ることによって、任意の出力周波数を得ることができるという点にある。重要なのは、原クロック周波数を割切らない正確な出力周波数が得られるという点である。有益な効果は、周波数の異なる多様な出力クロック信号を、共通の原クロック信号からデジタル方式で導き出すことができるということである。本発明の以上の及びその他の態様及び利点については、添付の図面に関連して行われる下記の詳細な説明を参照することによってより深く理解されるであろう。

【0010】

【実施例】

（概要）図1には、本発明の一実施例に従って原クロック信号12から任意の出力クロック信号14を導き出すための装置10が示されている。出力クロック信号14は、原クロック信号12の対応する最も近い遷移を出力クロック信号の遷移とみなすことによって、導き出される。実際には、出力クロック信号の周波数にディザが施される。長期にわたって、出力クロック周波数が平均されて、所望の任意の出力クロック信号周波数になる。結果として、任意の周波数の出力クロック信号14が、所定の固定周波数原クロック信号12からデジタル方式で導き出される。

【0011】図1では、連鎖をなすディバイダ（例え

ば、部品番号74161ディバイダ）各段のクロック入力（CK）に原クロック信号12が入力されている。この連鎖には、j段のディバイダが含まれている。各段毎に、除算演算が決定される。第1段は、nで割る演算である。第2段は、mで割る演算である。第3段は、pで割る演算である。各段の除数項は、所望の周波数で割った原クロック周波数の部分分数展開によって決定される。第1段からの出力信号は、出力クロック信号14である。第1段からの出力信号は、第1段の出力（TC）より各後続段のイネーブル入力（E1）に送られる。第1段以外の各後続段の出力信号が各段の出力（TC）より、先行段の除数項入力（DB）に送り返され、1サイクル中に先行段の除数項が調整される。望ましい実施例によれば、こうした各段の出力信号によって、1サイクル中に先行段の除数項がインクリメントされる。各段の出力信号は、後続段のイネーブル入力にも送られる。結果として、第1段の除算は、第2段のカウント・アウト毎に変更される。第2段の除算は、第3段のカウント・アウト毎に変更される。このようにして、出力クロック信号14に関するパターンが形成される。

【0012】通常、装置10は、原クロック信号12のn周期毎に、出力クロック信号14のアクティブ遷移を発生する。これは、第1段において原クロック信号12をnで割ることによって実現する。しかし、代わりに、n個で1組の原クロック信号周期のm組毎に、出力クロック信号14のアクティブ遷移が、原クロック信号12のn+1周期の後で発生する。これは、第2段の出力を第1段にフィードバックし、1サイクル中に除数項をnからn+1に変更することによって実施される。しかし、m個で1組のカウント・アウトのp組毎に、1つのサイクル中に除数項mから除数項m+1に変更される。これは、第3段の出力を第2段にフィードバックして、除数項をmからm+1に変更することによって実施される。このようにして、第3段のカウント・アウト毎に、n+1の原クロック信号周期を利用して出力クロック信号のアクティブ遷移を発生させる前に生じる前に、n個で1組の原クロック信号周期の組数として、m+1が用いられる。このパターンが、所望の数の段にわたって続行される。段数は、出力クロック信号14の周波数に関する所望の精度に基づいて選択される。

【0013】（部分分数展開）各ディバイダ段22<sub>i</sub>（i=1、・・・、j）に対する項が、部分分数展開を利用して決定される。すなわち、所望の出力周波数で原クロック信号12の周波数で割ると、整数部と分数部が生じる。整数部だけしかなければ、出力周波数で原クロック周波数を割切ることができるので、原クロック信号12の単純な1段除算で十分である。こうした場合は、従来の方法及び装置によって実施される。しかし、原クロック周波数を割り切ることができない所望の出力周波数の場合、結果として、第1の整数部と第1の小數

部が生じる。整数部は、第1段(22<sub>1</sub>)の除数項「n」とみなされる。次に、第1の小数部の逆数をとると、第2の整数部と、ゼロの小数部または非ゼロの分数小数部が生じる。第2の整数部は、第2段22<sub>2</sub>の除数項「m」とみなされる。第2の小数部が0の場合、所望の出力周波数を得るために利用されるのは、2段(すなわち、j=2)の実施例だけである。非ゼロの第2の小数部が生じる場合、こうした小数部の逆数をとることによって、第3の整数部と、ゼロまたは非ゼロの第3の小数部が生じる。第3の整数部は、第3段22<sub>3</sub>の除数項「p」とみなされる。第3の小数部がゼロの場合、利用されるのは3段(すなわち、j=3)の実施例だけである。別様であれば、逆数計算及び分数展開が、所望の段数まで、あるいは、ゼロの小数部が得られるまで続行される。非ゼロの小数部が存在する場合でも、展開を中止し、それ以上の除数項を決定しない場合もあるという点に留意されたい。段22<sub>j</sub>の数は、出力クロック信号周波数に要求される精度によって決まる。

【0014】(「 $\pi$ 」による除算実施例)図2には、40MHzのソース周波数信号24が $\pi$ で分周される、図1の装置の特定の実施例23が示されている。これは、分数展開に必ず非ゼロの小数部が生じるので、最も困難なケースである。しかし、第3段(すなわち、j=3)に関して展開を行うことによって、エラー・レートが10億出力信号クロック・サイクル毎に100未満の精度で、出力クロック信号26が得られる。 $\pi$ の分数展開を行うことによって、第1の整数部として3が得られ、第1の小数部として0.14...が得られる。従って、n=3である。次に、第1の小数部0.14...の逆数をとると、7.06...が生じる。従って、7が第2の整数部であり、0.06...が第2の小数部になる。次に、第2の小数部0.06...の逆数をとると、整数部として16が生じる。展開は続行することが可能であるが、図2に示す3段装置の場合、ここで、各段毎に除数項が決定される(すなわち、n=3、m=7、及び、p=16)。

【0015】40MHzの原クロック信号24は、通常、3で割算されるが、第1段28のカウンタ・アウト7回目毎に、除算は、代わりに、4による除算に拡張される。さらに、第2段30のカウンタ・アウト16回目毎に、第2段30の7による除算が拡張されて、8による除算としてカウンタ・アウトする。第3段32によって、16による除算演算が決定される。従って、出力クロック信号26に関して、40MHz/3の信号と40MHz/4の信号との間でディザを施して、出力信号の平均が12.7323MHz(すなわち、40/ $\pi$  MHz)になるようにするパターンが得られる。

【0016】(40MHzの原クロックから14.31818MHzの出力クロックを導き出す方法)図3には、図1の装置のもう1つの典型的な実施例40が示さ

れている。図3の実施例の場合、14.31818MHzの出力クロック信号が所望される。従来は、デジタル技法を用いて、40MHzの原クロック信号からこうしたクロック信号を導き出すことはできなかった。しかし、部分分数展開法を用いて、デジタル・ディバイダ連鎖における後続段の除数項を決定すると、第1の項n=2、第2の項m=1、及び、第3の項p=3が得られる。図示実施例の場合、この展開は3段まで実施される(すなわち、j=3)。

【0017】図4には、40MHzの原クロック信号24と、3つのディバイダ段44、46、48が示されている。図3を参照すると、第1段44は、2で割る演算を行う。図4には、原クロック信号を2で割った信号50が示されている。一方、第2段46は、除数項m=1である。従って、第1段44のカウント・アウト毎に、第2段46の出力は、アクティブになり、第1段44に代わって3で割ることを知らせる。図4には、3で割る信号52が示されている。一方、第3段48まで分解すると、第3の除数項p=3が生じる。従って、第2段46の3番目のカウンタ・アウト毎に、除数項が1から2に変更される。図4には、結果生じる出力クロック信号42が示されている。ソース信号24を3で割った値と2で割った値との間で、出力信号42にディザを施すパターンに留意されたい。

【0018】図5には、図3に示す装置40と同等の実施例60が示されている。図3の実施例40の場合と同じ14.13818MHzのディザを施された信号42が、40MHzの固定原クロック信号24から得られる。しかし、装置60は、図3の第2段46のカウントと図3の第1段44のカウントを組み合わせることによって、2段62、64に減少している。また、装置60の第2段64が、装置40の第3段と同じである点にも留意されたい。しかし、段64のカウント・アウト毎に、先行段である段62にフィードバックされる出力信号によって、装置40による場合のように除数項がインクリメントされる代わりに、除数項がデクリメントされる(例えば、3-1=2)。図4を参照すると、原クロック信号24及び出力クロック信号42は、装置40及び60の両方に関して同じである。重要なのは、装置40の3つのディバイダ段44~48が、装置60における2つの段62~64を備えた同等の構造に転化されるという点である。同等の装置60が、部分分数展開の実施において、加算だけでなく減算も可能にすることによって得られるという点に留意されたい。ある段においてxによる除算を実施して、後続段のカウント・アウト時にx+1による除算にインクリメントする場合、x+1による除算を行って、次に、後続段のカウント・アウト時にxによる除算にデクリメントするための同等の構造を見つけることが可能である。同等の代替構造のうち任意のものを利用して、同じ形状の出力曲線を得ることが

可能である。こうした変更は、図5の実施例におけるように、段の除去が可能なケースにとって望ましい。

【0019】(出力クロック信号パターン) 図6には、原クロック信号80と、本発明の実施例に基づいて導き出される出力クロック信号82が示されている。一次パターン(第1段)が、2で割る原クロック信号を備えている点に留意されたい。従って、第1段の除数項 $n$ は、2にセットされる。出力クロック信号82の第3の周期毎に、原クロック信号80は、代わりに $n+1=3$ によって割られる。従って、第2段の除数項 $m$ は、3にセットされる(第3周期84に生じる変動に対応する)。また、 $m$ の1つおきのカウント・アウト時に、 $m$ は $m=3$ から $m=4$ に変更される点にも留意されたい。従って、第3段の除数項 $p$ は、2にセットされる。その後、パターン88が繰り返される。

【0020】原クロック信号80が40MHzで、所望の出力クロック信号90が17.5MHzである例について考察する。除数項は、図6に示すように、 $n=2$ 、 $m=3$ 、及び、 $p=2$ である。ディザを施された出力信号82のアクティブ遷移が、所望の出力信号90における遷移に最も近い原クロック信号80のアクティブ遷移において生じるという点に留意されたい。

【0021】本発明の望ましい実施例について例示し、解説してきたが、さまざまな代替案、修正、及び、均等物を利用することも可能である。従って、以上の説明は、本明細書の請求項によって決定される本発明の特許請求の範囲を制限するものとみなすべきではない。以下に、本発明の実施態様のいくつかを記載する。

【0022】(実施態様1) 固定周波数を備える原クロック信号(12/24)から、可変数の原クロック信号周期によって決定される周期を有する出力クロック信号(14/26/42)をデジタル方式で導き出す方法において、所望の出力クロック信号周波数で除した原クロック信号周波数を部分分数展開して、組をなす $j$ 個の除数項を決定するステップと、 $j$ 個の除数項の関数として出力クロック信号周期にディザを施すためのパターンを決定するステップが含まれる、デジタル分周方法。

【0023】(実施態様2) パターンを決定するステップに、直列連鎖をなす分周回路段(22/28-32/44-48/62-64)において原クロック信号周波数を割切ることが含まれ、各段毎に、 $j$ 個の除数項の対応する1つによって分周が実施され、最後の段以外の直列連鎖における任意の段は、すぐ後続する段のカウント・アウトにตอบสนองして、除数項が変更されることを特徴とする、実施態様1に記載のデジタル分周方法。

(実施態様3) 所定の第1段(22/28-30/44-46/62)の除数項が、第1段にすぐ後続する段(22/32/48/64)のカウント・アウトにตอบสนองして、1だけインクリメントまたはデクリメントすることと特徴とする、実施態様2に記載のデジタル分周方

法。

【0024】(実施態様4) 原クロック信号の対応する最も近い遷移を出力クロック信号のアクティブ遷移とみなすことによって、原クロック信号(12/24)から出力クロック信号(14/26/42)をデジタル方式で導き出すための方法であって、出力クロック信号の所望の周波数が固定周波数を割切ることができず、所望の周波数で割られた固定周波数が、第1の整数部と、第1の小数部を備え、第1の整数部が $n$ に等しく、第1の小数部の逆数が、第2の整数部と第2の小数部を備え、第2の整数部が $m$ であり、組を決定するステップに、 $i$ 個のクロック除数項を決定することが含まれ(ここで、 $i$ は1乃至 $j$ で、 $j \geq 2$ )、 $i=1$ の場合、クロック除数項は、第1の整数部であり、 $i=2$ の場合、クロック除数項は、第2の整数部であって、さらに、 $n$ 個の原クロック信号周期毎に、出力クロック信号のアクティブ遷移を生じさせるステップと、 $n$ 個で1組の原クロック信号周期の所定の組数後に、出力クロック信号の遷移を変更し、 $n$ 番目の原クロック信号周期ではなく、 $n+1$ 番目の原クロック信号周期に関して、出力クロック信号のアクティブ遷移が発生するようにするステップが含まれ、 $j=2$ の場合、所定の数は $m$ であり、 $j>2$ の場合、所定の数は変動することを特徴とする実施態様3に記載のデジタル分周方法。

【0025】(実施態様5)  $j=3$ の場合、第2の小数部分の逆数は、第3の整数部と第3の小数部を備えており、第3の整数部が $p$ であり、所定の数が $m$ と $m+1$ の間で変動するようにし、 $n$ 個で1組をなし、 $m$ 組で1グループをなすクロック信号の $p$ グループ毎に、所定の数が、 $m$ ではなく、 $m+1$ になることを特徴とする、実施態様4に記載のデジタル分周方法。

【0026】(実施態様6) 固定周波数を備える原クロック信号から、クロック周期が可変数の原クロック信号周期によって決まる出力クロック信号(14/26/42)をデジタル方式で導き出す装置において、それぞれ、除数項( $n$ 、 $m$ 、 $p$ )を備え、可変数( $n$ あるいは $n+1$ )の原クロック信号周期間において、出力クロック信号周期にディザを施すための直列に結合された複数のディバイダ(22/28-32/44-48/62-64)が含まれて、各除数項が、出力クロック信号の所望の周波数で割る固定周波数の部分分数展開によって決定され、直列に結合された複数のディバイダのうち最後のディバイダ以外のそれぞれのディバイダに関する除数項が、直列に結合された複数のディバイダのうち直後の後続するディバイダのカウント・アウトにตอบสนองして、1サイクル中に変更されることを特徴とする、デジタル分周装置。

【0027】(実施態様7) あるディバイダの除数項が、前記あるディバイダの直後に結合されたディバイダのカウント・アウトにตอบสนองして、1だけインクリメント

またはデクリメントされることを特徴とする、実施態様6に記載のデジタル分周装置。

【0028】

【発明の効果】本発明の利点の1つは、原クロック周波数を正確に割切ることによって、任意の出力周波数を得ることができるという点にある。重要なのは、原クロック周波数を割切らない、正確な出力周波数が得られることである。有益な効果は、共通の原クロック信号から、さまざまな周波数の多様な出力クロック信号をデジタル方式で導き出すこと（デジタル分周）ができるという点である。本発明の望ましい実施例について例示し、解説してきたが、さまざまな代替案、修正、及び、同等物を利用することも可能である。

【図面の簡単な説明】

【図1】本発明の実施例に従って、固定原クロック信号周波数から任意の出力信号周波数を導き出すための装置に関する装置のブロック図である。

【図2】本発明の実施例に基づいて、40MHzの原クロック信号を $\pi$ で割って、出力クロック信号を得るための3段装置に関するブロック図である。

【図3】本発明の実施例に基づいて、40MHzの原クロック信号から14.31818MHzの出力信号を導き出すための3段装置に関するブロック図である。

【図4】図3の実施例に関して、原クロック信号から出力信号を導き出す方法を説明するための波形図である。

【図5】本発明の同等の実施例に基づいて、40MHz

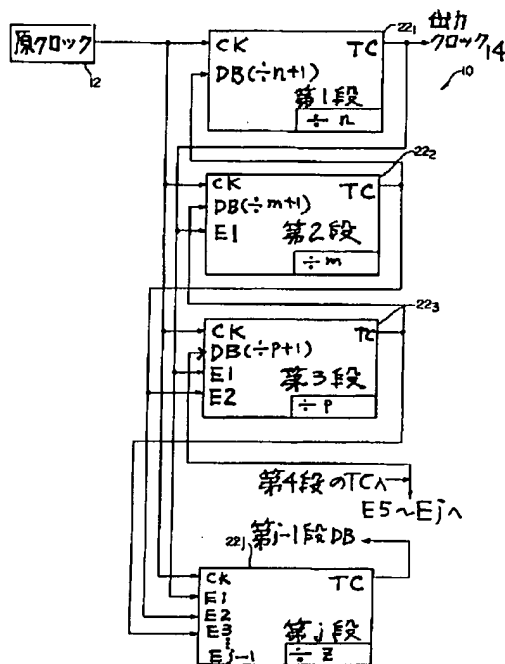
の原クロック信号から14.31818MHzの出力信号を導き出すための2段装置に関するブロック図である。

【図6】本発明の実施例に基づいて出力クロック信号にディザを施すパターンを説明するための波形図である。

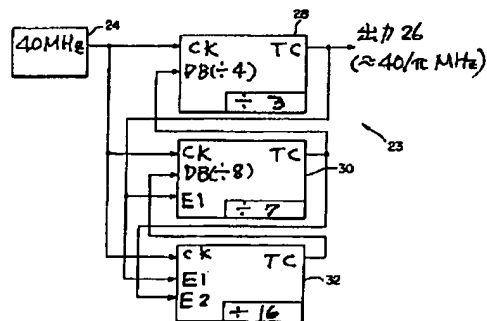
【符号の説明】

- |    |             |
|----|-------------|
| 10 | 装置          |
| 12 | 原クロック信号     |
| 14 | 出力クロック信号    |
| 23 | 装置          |
| 24 | 原クロック信号     |
| 26 | 出力クロック信号    |
| 28 | 第1段         |
| 30 | 第2段         |
| 32 | 第3段         |
| 40 | 装置          |
| 42 | 出力信号        |
| 44 | ディバイダ段      |
| 46 | ディバイダ段      |
| 48 | ディバイダ段      |
| 60 | 装置          |
| 62 | 第1段         |
| 64 | 第2段         |
| 80 | 原クロック信号     |
| 82 | 出力クロック信号    |
| 90 | 所望の出力クロック信号 |

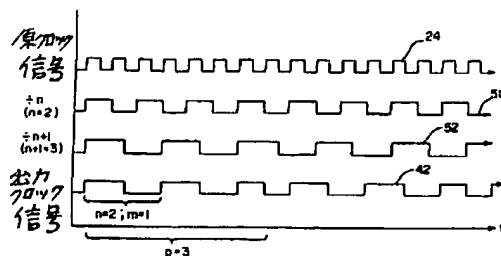
【図1】



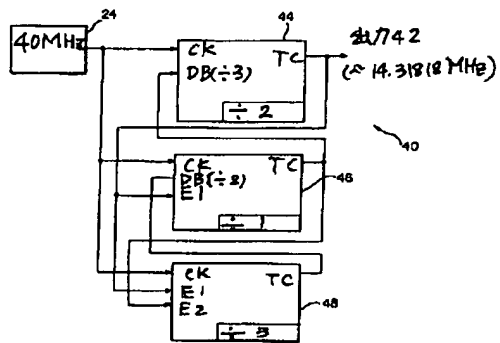
【図2】



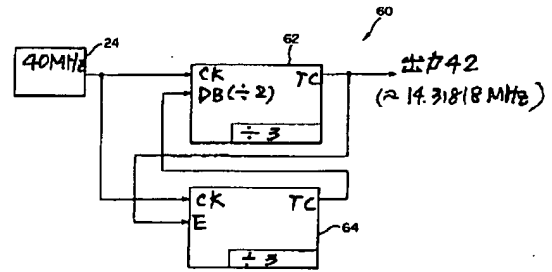
【図4】



【図3】



【図5】



【図6】

